

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0044220  
Application Number

출원년월일 : 2002년 07월 26일  
Date of Application JUL 26, 2002

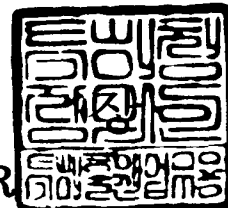
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년    02      월    27      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.26
【발명의 명칭】	9 의 배수가 되는 데이터 입출력 구조를 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE WITH DATA INPUT/OUTPUT ORGANIZATION OF A MULTIPLE OF 9
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박철성
【성명의 영문표기】	PARK, CHUL SUNG
【주민등록번호】	620126-1155018
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 21동 1104호
【국적】	KR
【발명자】	
【성명의 국문표기】	노용환
【성명의 영문표기】	NOH, YONG HWAN
【주민등록번호】	690108-1094229
【우편번호】	442-470

**【주소】** 경기도 수원시 팔달구 영통동 청명마을4단지아파트 주공0  
파트 406동 1304호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 조윤진  
**【성명의 영문표기】** JO,YUN JIN  
**【주민등록번호】** 701107-1646512  
**【우편번호】** 449-840  
**【주소】** 경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 519동  
701호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 양향자  
**【성명의 영문표기】** YANG,HYANG JA  
**【주민등록번호】** 660227-2641918  
**【우편번호】** 442-400  
**【주소】** 경기도 수원시 팔달구 망포동 동수원엘지빌리지 110동 407  
호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 20 면 20,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 20 항 749,000 원  
**【합계】** 798,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 따른 반도체 메모리 장치는 9의 배수가 되는 데이터 입출력 구조를 가지며, 3행\*3열의 매트릭스 형태로 배열된 매트들을 포함한다. 각 매트는 메모리 블록들을 가지며, 각 메모리 블록은 8의 배수가 되는 메모리 블록 세그먼트들로 이루어진다. 본 발명에 따른 반도체 메모리 장치는 메모리 블록 단위로 액세스 동작을 수행하는 방식 대신에 메모리 블록 세그먼트 단위로 액세스 동작을 수행하는 방식을 갖는다. 이러한 제어 방식에 따르면, 데이터 라인 멀티플렉싱 방식을 사용함 없이 데이터 입출력 구조에 대응하는 n-비트 데이터 (n은 9의 배수)를 읽을 수 있다.

**【대표도】**

도 11

## 【명세서】

## 【발명의 명칭】

9의 배수가 되는 데이터 입출력 구조를 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE WITH DATA INPUT/OUTPUT ORGANIZATION OF A MULTIPLE OF 9}

## 【도면의 간단한 설명】

도 1은 9의 배수가 되는 데이터 입출력 구조를 갖는 반도체 메모리 장치의 어레이 구조를 보여주는 블록도;

도 2는 도 1에 도시된 임의의 매트릭스를 개략적으로 보여주는 블록도;

도 3은 도 2에 도시된 메모리 블록 및 그것의 주변 회로들을 개략적으로 보여주는 블록도;

도 4A는 X72 싱글 데이터 레이트 또는 X36 더블 데이터 레이트 읽기 동작에 따른 데이터 출력 구조를 보여주는 도면;

도 4B는 X36 싱글 데이터 레이트 또는 X18 더블 데이터 레이트 읽기 동작에 따른 데이터 출력 구조를 보여주는 도면;

도 4C는 X18 싱글 데이터 레이트 또는 X9 더블 데이터 레이트 읽기 동작에 따른 데이터 출력 구조를 보여주는 도면;

도 5는 본 발명에 따른 반도체 메모리 장치의 어레이 구조를 보여주는 도면;

도 6은 도 5에 도시된 임의의 매트릭스를 개략적으로 보여주는 블록도;

도 7은 본 발명에 따른 매트릭스 구조에서 메모리 블록 세그먼트 단위의 액세스 방식을 설명하기 위한 블록도;

도 8은 도 5에서 중앙에 위치한 매트를 제외한 나머지 매트들 중 하나의 메모리 블록 및 그것의 주변 회로를 보여주는 블록도;

도 9는 도 5에서 중앙에 위치한 매트의 메모리 블록 및 그것의 주변 회로를 보여주는 블록도;

도 10은 도 7에 도시된 제어 회로의 바람직한 실시예를 보여주는 회로도; 그리고

도 11은 본 발명에 따른 반도체 메모리 장치의 주변 회로 및 리던던시 회로의 레이아웃 구조를 보여주는 블록도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 집적 회로 장치들에 관한 것으로, 좀 더 구체적으로는 9의 배수가 되는 데이터 입출력 구조 (data input/output organization)를 갖는 반도체 메모리 장치에 관한 것이다.

<15> 9의 배수가 되는 데이터 입출력 구조를 갖는 일반적인 반도체 메모리 장치를 보여주는 블록도가 도 1에 도시되어 있다. 도 1을 참조하면, 반도체 메모리 장치 (1)는 4행과 2열의 매트릭스 형태로 배열된 8개의 매트들 (MAT0-MAT7)을 포함한다. 매트들 (MAT0-MAT7) 각각은, 도 2에 도시된 바와 같이, 복수 개의 메모리 블록들 (BLK0-BLK7), 메인 로우 디코더 회로 (main row decoder circuit) (MRD), 섹션 로우 디코더 회로들 (section row decoder circuits) (SRD), 열 디코더 & 열 게이트 블록 (Y-DEC & Y-GATE), 그리고 감지 증폭 및 기입 드라이버 블록 (SA & WD)을 포함한다.

<16> 도 2를 참조하면, 메인 로우 디코더 회로 (MRD)는, 비록 도면에는 도시되지 않았지만, 행 방향을 따라 배열되는 복수 개의 메인 워드 라인들을 선택적으로 구동한다. 섹션 로우 디코더 회로들 (SRD) 각각은, 비록 도면에는 도시되지 않았지만, 대응하는 메모리 블록 (BLK)의 섹션 워드 라인들을 선택적으로 구동한다. 열 디코더 & 열 게이트 블록 (Y-DEC & Y-GATE)은 선택된 메모리 블록의 열들 중 일부 (예를 들면, X9의 데이터 입출력 구조의 경우 9개의 열들)를 선택하고 선택된 열들을 감지 증폭 및 기입 드라이버 블록 (SA & WD)에 전기적으로 연결한다. 감지 증폭 및 기입 드라이버 블록 (SA & WD)은, 읽기 동작시, 선택된 열들을 통해 선택된 메모리 블록으로부터 데이터를 감지하고, 감지된 데이터를 데이터 버스 (MDL) (도 2에서, 데이터 버스는 9개의 데이터 라인들 (MDL0-MDL8)로 구성됨)로 전달한다. 감지 증폭 및 기입 드라이버 블록 (SA & WD)은, 쓰기 동작시, 데이터 버스 (MDL) 상의 기입 데이터를 열 디코더 & 열 게이트 회로 (Y-DEC & Y-GATE)를 통해 선택된 메모리 블록의 선택된 열들로 전달한다.

<17> 도 2에 도시된 하나의 메모리 블록 및 그것의 주변 회로들을 보여주는 블록도가 도 3에 도시되어 있다. 도 3을 참조하면, 메모리 블록 (BLK)은 9개의 메모리 블록 세그먼트들 (I00-I08)로 이루어져 있다. 열 디코더 & 열 게이트 회로 (Y-DEC & Y-GATE)는 열 선택 회로로, 메모리 블록 세그먼트들 (I00-I08) 각각의 열들 중 하나를 선택한다. 즉, 9개의 열들이 선택된다. 읽기 동작시, 감지 증폭기들 (SA0-SA8)은 대응하는 선택된 열들을 통해 메모리 블록 세그먼트들 (I00-I08)로부터 1-비트 데이터를 각각 감지하고, 그렇게 감지된 9개의 데이터 비트들은 대응하는 데이터 라인들 (MDL0-MDL8)로 각각 전달된다.

<18> X18, X36, 또는 X72의 데이터 입출력 구조를 갖는 일반적인 반도체 메모리 장치의 읽기 동작이 이하 상세히 설명될 것이다. 앞서 설명된 바와 같이, 도 1에 도시된 반도체 메모리 장치 (1)는 각 매트리의 메모리 블록들 (BLK) 각각이 9개의 메모리 블록 세그먼트들 (I00-I08)로 구성된 매트 구조를 갖는다.

<19> 먼저, 도 4a를 참조하면, X72 싱글 데이터 레이트 (single data rate: SDR) 또는 X36 더블 데이터 레이트 (double data rate: DDR) 읽기 동작에 따른 데이터 출력 방식을 보여주는 블록도가 도시되어 있다. X72 SDR 읽기 동작시 각 매트에서는 9-비트 데이터가 동시에 읽혀지고, 그렇게 읽혀진 72-비트 데이터가 동시에 외부로 출력될 것이다. X36 DDR 읽기 동작시 각 매트에서 9-비트 데이터가 읽혀진다는 점은 X72 SDR 읽기 동작과 같다. 반면에, 그렇게 읽혀진 72-비트 데이터 중 절반 (32-비트 데이터)은 클록 신호의 상승/하강 에지 (rising/falling edge)에 동기되어 외부로 출력되고, 나머지 절반 (32-비트 데이터)은 클록 신호의 하강/상승 에지 (falling/rising edge)에 동기되어 외부로 출력된다.

<20> 도 4b를 참조하면, X36 SDR 또는 X18 DDR 읽기 동작에 따른 데이터 출력 구조를 보여주는 블록도가 도시되어 있다. X36 SDR 읽기 동작시 각 매트에서는 9-비트 데이터가 동시에 읽혀진다. 36-비트 데이터를 외부로 출력하기 위해서는, 8개의 매트들 (MAT0-MAT7) 중 절반만이 선택되어야 한다. 매트 선택은, 도 4b에 도시된 바와 같이, 멀티플렉싱 방식을 통해 수행된다. 8개의 매트들 (MAT0-MAT7) 중 4개의 매트들을 선택하기 위해서 4개의 멀티플렉서들 (MUX0-MUX3)이 필요하다. 예를 들면, 멀티플렉서 (MUX0)는 매트들 (MAT0, MAT2) 중 하나를 선택하고, 그렇게 선택된 매트로부터 9-비트 데이터가 출력된다. 멀티플렉서 (MUX1)는 매트들 (MAT1, MAT3) 중 하나를 선택하고, 그렇게 선택



된 매트로부터의 9-비트 데이터를 출력한다. 멀티플렉서 (MUX2)는 매트들 (MAT4, MAT6) 중 하나를 선택하고, 그렇게 선택된 매트로부터의 9-비트 데이터를 출력한다. 멀티플렉서 (MUX3)는 매트들 (MAT5, MAT7) 중 하나를 선택하고, 그렇게 선택된 매트로부터의 9-비트 데이터를 출력한다. 즉, 멀티플렉싱 방식을 통해 32-비트 데이터가 외부로 출력된다. X18 DDR 읽기 동작의 경우, 32개의 데이터 비트들 중 절반은 클록 신호의 상승/하강 에지에 동기되어 외부로 출력되고, 나머지 절반은 클록 신호의 하강/상승 에지에 동기되어 외부로 출력될 것이다.

<21> 도 4c를 참조하면, X18 SDR 또는 X9 DDR 읽기 동작에 따른 데이터 출력 구조를 보여주는 도면이 도시되어 있다. X18 SDR 읽기 동작은 도 4b에 도시된 멀티플렉싱 구조에서 2개의 멀티플렉서들 (MUX4, MUX5)을 더 필요로 한다. 도 4c에 도시된 데이터 출력 구조에 따르면, 2단 멀티플렉싱 방식을 통해 18-비트 데이터가 출력될 것이다.

마찬가지로, X9 DDR 읽기 동작의 경우, 18개의 데이터 비트들 중 절반은 클록 신호의 상승/하강 에지에 동기되어 외부로 출력되고, 나머지 절반은 클록 신호의 하강/상승 에지에 동기되어 외부로 출력될 것이다.

<22> 앞서의 설명으로부터 알 수 있듯이, 각 매트 (또는 선택된 매트)에서는 항상

9-비트 데이터가 읽혀진다. 그러한 까닭에, 도 1에 도시된 반도체 메모리 장치는 성능 또는 동작 특성이 데이터 입출력 구조 (X9, X18, X36, 또는 X72)에 따라 가변된다는 단점을 갖는다. 왜냐하면 멀티플렉싱 방식을 이용하여 데이터가 선택적으로 출력되기 때문이다. 예를 들면, X72 SDR/X32 DDR 읽기 동작 모드에서는, 도 4a에 도시된 바와 같이, 멀티플렉싱 방식을 사용하지 않고 매트 선택이 수행된다. 반면에, X36/X18 SDR과 X18/X9 DDR 읽기 동작 모드에서는, 도 4b 및 도 4c에 도시된 바와 같이, 매트 선택이 멀티플렉싱 방식을 통해 수행된다. 이러한 멀티플렉싱 방식은 반도체 메모리 장치의 성능이 데이터 입출력 구조 (X9, X18, X36, 또는 X72)에 따라 가변되게 한다. 즉, 데이터 입출력 구조에 관계없이 도 1에 도시된 반도체 메모리 장치의 일정한 (균일한) 성능 또는 동작 특성을 얻는 것은 실질적으로 어렵다.

#### 【발명이 이루고자 하는 기술적 과제】

- <23>        본 발명의 목적은 데이터 입출력 구조에 관계없이 일정한 성능을 확보할 수 있는 반도체 메모리 장치를 제공하는 것이다.
- <24>        본 발명의 다른 목적은 데이터 입출력 구조에 관계없이 일정한 동작 속도를 확보할 수 있는 반도체 메모리 장치를 제공하는 것이다.
- <25>        본 발명의 또 다른 목적은 전력 소모를 줄일 수 있는 반도체 메모리 장치를 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <26>        상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 반도체 메모리 장치는 9의 배수가 되는 데이터 입출력 구조를 갖는다. 반도체 메모리 장치는 3개

의 행들과 3개의 열들의 매트릭스 형태로 배열된 9개의 매트들을 포함한다. 상기 매트들 각각은 8의 배수로 구성되는 메모리 블록 세그먼트들을 각각 포함하는 복수 개의 메모리 블록들을 갖는다. 제어 회로는 상기 매트들로/로부터 입/출력되는 데이터의 비트 수가 상기 반도체 메모리 장치의 데이터 입출력 구조에 따라 가변되도록 상기 매트들을 제어한다. 여기서, 상기 매트들 중 하나로/로부터 입/출력되는 데이터는 상기 반도체 메모리 장치의 가능한 데이터 입출력 구조에 따라 외부로부터/로 입/출력되는 데이터를 구성한다. 예를 들면, 상기 제어 회로는 상기 매트들 중 중앙에 위치한 매트로/로부터 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터가 입/출력되도록, 상기 데이터 입출력 구조에 따라 상기 중앙에 위치한 매트를 제어한다. 또한, 상기 제어 회로는 나머지 매트들로/로부터 4-비트 또는 8-비트 데이터가 입/출력되도록, 상기 데이터 입출력 구조에 따라 상기 나머지 매트들을 제어한다.

<27> 본 발명의 다른 특징에 따르면, 9의 배수가 되는 데이터 입출력 구조를 갖는 반도체 메모리 장치는 3개의 행들과 3개의 열들의 매트릭스 형태로 배열된 9개의 매트들과; 그리고 상기 데이터 입출력 구조에 따라 상기 매트들로부터 각각 출력되는 데이터의 비트 수가 가변되도록 상기 매트들을 제어하는 제어 회로를 포함한다. 상기 각 매트는 행들과 열들의 매트릭스 형태로 배열된 복수 개의 메모리 셀들을 갖는 적어도 하나의 메모리 블록과; 상기 메모리 블록은 열을 기준으로 8개의 메모리 블록 세그먼트들로 구분되며; 상기 메모리 블록의 행들 중 적어도 하나를 선택하는 행 선택 회로와; 상기 메모리 블록 세그먼트들 각각의 열들 중 하나를 선택하는 열 선택 회로와; 그리고 상기 메모리 블록 세그먼트들에 각각 대응하며, 상기 선택된 열들을 통해 상기 메모리 블록으로부터 데이터를 읽는 감지 증폭기들로 구성된다. 상기 제어 회로는 상기 매트들로부터 각각 출

력되는 데이터의 비트 수가 상기 데이터 입출력 구조에 따라 가변되도록 상기 매트들 각각의 감지 증폭기들의 활성화를 제어한다.

<28> 이 실시예에 있어서, 상기 제어 회로는 상기 매트들 중 중앙에 위치한 매트로부터 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터가 출력되도록, 상기 데이터 입출력 구조에 따라 상기 중앙에 위치한 매트의 감지 증폭기들의 활성화를 제어한다.

<29> 이 실시예에 있어서, 상기 제어 회로는 나머지 매트들로부터 4-비트 또는 8-비트 데이터가 출력되도록, 상기 데이터 입출력 구조에 따라 상기 나머지 매트들 각각의 감지 증폭기들의 활성화를 제어한다.

<30> 본 발명의 바람직한 실시예가 이하 참조 도면들에 의거하여 상세히 설명될 것이다.

<31> 본 발명의 신규한 반도체 메모리 장치는 9의 배수가 되는 데이터 입출력 구조를 가지며, 3행\*3열의 매트릭스 형태로 배열된 매트들을 포함한다. 각 매트는 메모리 블록들을 가지며, 각 메모리 블록은 8의 배수가 되는 메모리 블록 세그먼트들로 이루어진다. 본 발명에 따른 반도체 메모리 장치는 메모리 블록 단위로 액세스 동작을 수행하는 방식 대신에 메모리 블록 세그먼트 단위로 액세스 동작을 수행하는 방식을 채용한다. 이는 데이터 라인 멀티플렉싱 방식을 사용함 없이 데이터 입출력 구조에 대응하는 n-비트 데이터 (n은 9의 배수)가 읽혀지게 한다. 이는 이후 상세히 설명될 것이다. 따라서, 본 발명의 반도체 메모리 장치는 데이터 라인 멀티플렉싱 없이 데이터 입출력 구조에 따라 가변적으로 데이터를 외부로 출력할 수 있다. 그러므로, 데이터 라인 멀티플렉싱 방식에 의해서 야기되는 문제점들 (예를 들면, 전류 소모, 데이터 입출력 구조에 따른 특성 및 성능 변화, 등)을 방지할 수 있다.

- <32> 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 보여주는 도면이 도 5에 도시되어 있다.
- <33> 도 5를 참조하면, 본 발명의 반도체 메모리 장치 (100)는, 예를 들면, 스태틱 랜덤 액세스 메모리 (static random access memory: SRAM) 장치이다. 하지만, 본 발명에 따른 반도체 메모리 장치 (100)가 다른 형태들의 메모리 장치들 (예를 들면, DRAM, FLASH 메모리 장치, FRAM, EEPROM, ROM, 등)을 이용하여 구현될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 본 발명의 반도체 메모리 장치 (100)는 3행\*3열의 매트릭스 형태로 배열된 9개의 매트들 (MAT0-MAT8)을 포함한다. 도 5에 도시된 반도체 메모리 장치 (100)가 72M의 메모리 용량을 갖는다고 가정하면, 매트들 (MAT0-MAT8) 각각에는 8M의 메모리 용량이 할당될 것이다.
- <34> 본 발명에 따른 반도체 메모리 장치의 매트들 (MAT0-MAT8) 각각은 데이터를 저장하기 위한 영역으로서 복수 개의 메모리 블록들을 포함한다. 이 실시예에서, 매트들 (MAT0-MAT8) 각각은, 도 6에 도시된 바와 같이, 8개의 메모리 블록들 (BLK)을 포함한다. 이 실시예에 있어서, 각 매트가 8M의 메모리 용량을 갖는 경우, 각 메모리 블록 (BLK)은 1M의 메모리 용량을 갖는다.
- <35> 도 6을 참조하면, 매트 (예를 들면, MAT0)는 메인 로우 디코더 회로 (MRD), 섹션 로우 디코더 회로들 (SRD), 열 디코더 & 열 게이트 블록 (Y-DEC & Y-GATE), 그리고 감지 증폭 및 기입 드라이버 블록 (SA & WD)을 더 포함한다. 메인 로우 디코더 회로 (MRD)는, 비록 도면에는 도시되지 않았지만, 행 방향을 따라 배열되는 메인 워드 라인들을 선택적으로 구동한다. 섹션 로우 디코더 회로들 (SRD) 각각은, 비록 도면에는 도시되지 않았지만, 대응하는 메모리 블록 (BLK)의 섹션 워드 라인들을 선택적으로 구동한다.

열 디코더 & 열 게이트 블록 (Y-DEC & Y-GATE)은 선택된 메모리 블록의 열들 중 일부 (X9의 데이터 입출력 구조의 경우, 8개의 열들)를 선택하고, 감지 증폭 및 기입 드라이버 블록 (SA & WD)은, 읽기 동작시, 선택된 열들을 통해 선택된 메모리 블록으로부터 데이터를 감지한다. 그렇게 감지된 데이터는 데이터 버스 (MDL)로 전달된다. 감지 증폭 및 기입 드라이버 블록 (SA & WD)은, 쓰기 동작시, 데이터 버스 (MDL) 상의 기입 데이터를 열 디코더 & 열 게이트 회로 (Y-DEC & Y-GATE)를 통해 선택된 메모리 블록의 선택된 열들로 전달한다. 이 실시예에 있어서, 본 발명의 데이터 버스 (MDL)는 8개의 데이터 라인들 (MDL0-MDL7)로 구성되고, 각 메모리 블록 (BLK)은 8개의 메모리 블록 세그먼트들로 구분된다.

<36> 본 발명에 따른 매트 구조에서 메모리 블록 세그먼트 단위의 액세스 방식을 설명하기 위한 블록도를 보여주는 도 7을 참조하면, 본 발명의 반도체 메모리 장치 (100)는 각 매트에 속하는 메모리 블록들 각각의 감지 증폭기들 및 기입 드라이버들을 제어하기 위한 제어 회로 (120)를 포함한다. 예를 들면, 제어 회로 (120)는 모드 선택 신호들 (DR7236, DR3618, DR1809)과 어드레스 신호들 (A1-A3)에 응답하여 인에이블 신호들 (EN0-EN7)을 발생한다. 인에이블 신호들 (EN0-EN7)의 선택적인 활성화에 따라 매트들 (MAT0-MAT3, MAT5-MAT8) 각각에서는 4-비트 또는 8-비트 데이터가 읽혀진다. 그리고, 인에이블 신호들 (EN0-EN7)의 선택적인 활성화에 따라 매트 (MAT4)에서는 1-비트, 2-비트, 4-비트 또는 8-비트 데이터가 읽혀진다.

<37> 예를 들면, X9 SDR 읽기 동작시에 인에이블 신호 (EN7)이 활성화되는 경우, 매트들 (MAT3, MAT5)에서는 각각 4-비트 데이터가 읽혀지고 매트 (MAT4)에서는 1-비트 데이터가 읽혀진다. 따라서, 도 4b 및 도 4c에 도시된 멀티플렉싱 구조를 사용하지 않고 9-비

트 데이터가 읽혀져 외부로 출력될 것이다. X18 SDR 읽기 동작시에 인에이블 신호 (EN0, EN4)이 활성화되는 경우, 매트들 (MAT0, MAT2, MAT6, MAT8)에서는 각각 4-비트 데이터가 읽혀지고 매트 (MAT4)에서는 2-비트 데이터가 읽혀진다. 따라서, 데이터 라인 멀티플렉싱 구조를 사용하지 않고 18-비트 데이터가 읽혀져 외부로 출력될 것이다.

<38> 도 7에 도시된 임의의 메모리 블록 및 그것의 주변 회로를 보여주는 블록도가 도 8에 도시되어 있다. 도 8에는 매트들 (MAT0-MAT3, MAT5-MAT8) 중 하나 (예를 들면, MAT0)에 속하는 메모리 블록들 중 하나 및 그것의 주변 회로들이 도시되어 있다. 메모리 블록 (BLK)은, 도 8에 도시된 바와 같이, 8개의 메모리 블록 세그먼트들 (I00-I07)로 구분된다. 섹션 로우 디코더 회로 (SRD)는 행 선택 회로로, 행 방향을 따라 메모리 블록 (BLK)에 배열된 섹션 워드 라인들 (미도시됨) 중 적어도 하나를 선택한다. 열 디코더 & 열 게이트 회로 (Y-DEC & Y-GATE)는 열 선택 회로로, 메모리 블록 (BLK)의 열들 중 일부 (예를 들면, 8개의 열들)를 선택한다. 즉, 하나의 메모리 블록 세그먼트 당 하나의 열이 선택된다. 열 디코더 & 열 게이트 회로 (Y-DEC & Y-GATE)에 의해서 선택된 열들은 대응하는 감지 증폭기들 (SA0-SA7)에 각각 연결된다. 좌측에 위치한 4개의 감지 증폭기들 (SA0-SA3)은 인에이블 신호 (EN0, EN2, EN4, 또는 EN6)에 의해서 제어되고, 우측에 위치한 4개의 감지 증폭기들 (SA4-SA7)은 인에이블 신호 (EN1, EN3, EN5, 또는 EN7)에 의해서 제어된다.

<39> 예를 들면, 인에이블 신호 (EN0)가 활성화되고 인에이블 신호 (EN1)가 비활성화될 때, 감지 증폭기들 (SA0-SA3)은 감지 동작을 수행하고 감지 증폭기들 (SA4-SA7)은 감지 동작을 수행하지 않는다. 즉, 4-비트 데이터가 읽혀진다. 인에이블 신호들 (EN0, EN1)이 활성화될 때, 감지 증폭기들 (SA0-SA7)은 모두 감지 동작을 수행한다. 따라서 8-비트 데

이터가 읽혀진다. 매트들 (MAT0-MAT3, MAT5-MAT8) 각각에서는 최소 4-비트 데이터가 읽혀지거나 최대 8-비트 데이터가 읽혀질 것이다.

<40> 도시의 편의상 도 8에는 기입 드라이버들이 도시되지 않았지만, 감지 증폭기들 (SA0-SA7)과 동일한 방식으로 제어됨은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<41> 도 7에 도시된 임의의 메모리 블록 및 그것의 주변 회로를 보여주는 블록도가 도 9에 도시되어 있다. 도 9에는 매트 (MAT4)에 속하는 메모리 블록들 중 하나 및 그것의 주변 회로들이 도시되어 있다. 감지 증폭기들 (SA0-SA7)을 제어하는 방식을 제외하면, 도 9에 도시된 구성 요소들은 도 8에 도시된 구성 요소들과 동일하다. 중앙에 배치된 매트 (MAT4)의 각 메모리 블록에 대응하는 감지 증폭기들 (SA0-SA7)은 개별적으로 제어된다. 이러한 제어 구조에 따르면, 매트들 (MAT0-MAT3, MAT5-MAT8)과 달리, 매트 (MAT4)에서는 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터가 출력될 수 있다. 도시의 편의상 도 9에는 기입 드라이버들이 도시되지 않았지만, 감지 증폭기들 (SA0-SA7)과 동일한 방식으로 제어됨은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<42> 도 7에 도시된 제어 회로의 바람직한 실시예를 보여주는 회로도가 도 10에 도시되어 있다. 도 10을 참조하면, 본 발명의 제어 회로 (120)는 어드레스 신호들 (A1, A2, A3)과 모드 선택 신호들 (DR7236, DR3618, DR1809)에 응답하여 인에이블 신호들 (EN0-EN7)을 발생하며, 도면에 도시된 바와 같이 연결된 6개의 OR (G11-G16), 3개의 인버터들 (INV11-INV13), 그리고 8개의 AND 게이트들 (G17-G24)을 포함한다. 모드 선택 신호 (DR7236)는 X72 SDR 또는 X36 DDR 읽기 동작 모드를 선택하기 위한 신호이고, 모드 선택 신호 (DR3618)는 X36 SDR 또는 X18 DDR 읽기 동작 모드를 선택하기 위한 신호이며,



모드 선택 신호 (DR1809)는 X18 SDR 또는 X9 DDR 읽기 동작 모드를 선택하기 위한 신호이다. 모드 선택 신호들은 옵션 회로를 이용하여 내부적으로 프로그램되거나 외부에서 공급될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<43> 아래의 표 1은 각 동작 모드에 따른 모드 선택 신호들 (DR7236, DR3618, DR1809)의 로직 상태들을 보여준다.

<44> 【표 1】

	X9SDR	X18SDR 또는 X9DDR	X36SDR 또는 X18DDR	X72SDR 또는 X36DDR
DR7236	L	L	L	H
DR3618	L	L	H	H
DR1809	L	H	H	H

<45>먼저, 모드 선택 신호들 (DR7236, DR3618, DR1809)이 모두 로직 하이 레벨을 가지면, X72 SDR 또는 X36 DDR 읽기 동작이 수행된다. 이때, 인에이블 신호들 (EN0-EN7)은 어드레스 신호들 (A1-A3)의 로직 상태들에 관계없이 모두 로직 하이 레벨을 갖는다. 모드 선택 신호들 (DR7236)가 로직 로우 레벨이고 모드 선택 신호들 (DR3618, DR1809)가 로직 하이 레벨일 때, X36 SDR 또는 X18 DDR 읽기 동작이 수행된다. 어드레스 신호 (A1)가 로직 로우 레벨이면, 어드레스 신호들 (A2, A3)의 로직 상태들에 관계없이, 인에이블 신호들 (EN2, EN3, EN6, EN7)은 활성화되는 반면에 인에이블 신호들 (EN0, EN1, EN4, EN5)은 비활성화된다. 또한, 어드레스 신호 (A1)가 로직 하이 레벨이면, 어드레스 신호

들 (A2, A3)의 로직 상태들에 관계없이, 인에이블 신호들 (EN0, EN1, EN4, EN5)은 활성화되는 반면에 인에이블 신호들 (EN2, EN3, EN6, EN7)은 비활성화된다.

<46> 모드 선택 신호들 (DR7236, DR3618)이 각각 로직 로우 레벨이고 모드 선택 신호 (DR1809)가 로직 하이 레벨일 때, X18 SDR 또는 X9 DDR 읽기 동작이 수행된다. 인에이블 신호들 (EN0-EN7)의 로직 상태들은 어드레스 신호 (A3)와 무관하게 결정될 것이다. 어드레스 (A2A1)가 "00"일 때 인에이블 신호들 (EN3, EN7)가 활성화되고, 어드레스 (A2A1)가 "01"일 때 인에이블 신호들 (EN1, EN5)가 활성화된다. 어드레스 (A2A1)가 "10"일 때 인에이블 신호들 (EN2, EN6)가 활성화되며, 어드레스 (A2A1)가 "11"일 때 인에이블 신호들 (EN0, EN4)가 활성화된다.

<47> 모드 선택 신호들 (DR7236, DR3618, DR1809)이 모두 로직 로우 레벨일 때, X9 SDR 읽기 동작이 수행된다. 어드레스 (A3A2A1)가 "000"일 때 인에이블 신호 (EN7)가 활성화되고, 어드레스 (A3A2A1)가 "001"일 때 인에이블 신호 (EN5)가 활성화되고, 어드레스 (A3A2A1)가 "010"일 때 인에이블 신호 (EN6)가 활성화되며, 어드레스 (A3A2A1)가 "011"일 때 인에이블 신호 (EN4)가 활성화된다. 그리고, 어드레스 (A3A2A1)가 "100"일 때 인에이블 신호 (EN3)가 활성화되고, 어드레스 (A3A2A1)가 "101"일 때 인에이블 신호 (EN1)가 활성화되고, 어드레스 (A3A2A1)가 "110"일 때 인에이블 신호 (EN2)가 활성화되며, 어드레스 (A3A2A1)가 "111"일 때 인에이블 신호 (EN0)가 활성화된다.

<48> 이상의 내용을 요약하면 다음의 표 2와 같다.

<49>

【표 2】

A3A2A1	X9SDR	X18SDR 또는 X9DDR	X36SDR 또는 X18DDR	X72SDR 또는 X36DDR
000	EN7	EN3, EN7	EN2, EN3, EN6, EN7	EN0-EN7
001	EN5	EN1, EN5	EN0, EN1, EN4, EN5	EN0-EN7
010	EN6	EN2, EN6	EN2, EN3, EN6, EN7	EN0-EN7
011	EN4	EN0, EN4	EN0, EN1, EN4, EN5	EN0-EN7
100	EN3	EN3, EN7	EN2, EN3, EN6, EN7	EN0-EN7
101	EN1	EN1, EN5	EN0, EN1, EN4, EN5	EN0-EN7
110	EN2	EN2, EN6	EN2, EN3, EN6, EN7	EN0-EN7
111	EN0	EN0, EN4	EN0, EN1, EN4, EN5	EN0-EN7

<50> 본 발명에 따른 반도체 메모리 장치(100)의 X9, X18, X36 또는 X72 SDR 읽기 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

<51> X72 SDR 읽기 동작을 수행하기 위해서는, 먼저, 모드 선택 신호들 (DR7236, DR3618, DR1809)은 모두 로직 하이 레벨을 갖도록 설정될 것이다. 모드 선택 신호들 (DR7236, DR3618, DR1809)이 모두 로직 하이 레벨이기 때문에, 어드레스 신호들 (A3A2A1)의 로직 상태들과 무관하게 인에이블 신호들 (EN0-EN7)은 모두 활성화된다. 인에이블 신호들 (EN0-EN7)이 모두 활성화됨에 따라, 매트들 (MAT0-MAT8) 각각의 선택된 메모리 블록의 감지 증폭기들이 모두 활성화된다. 매트들 (MAT0-MAT8)에서는 각각 8-비

트 데이터가 읽혀질 것이다. 즉, 72-비트 데이터가 읽혀진다. 그렇게 읽혀진 72-비트 데이터는 SDR 모드에서 한번에 외부로 출력될 것이다. DDR 모드에서, 그렇게 읽혀진 72-비트 데이터 중 절반은 클록 신호의 상승/하강 에지에 동기되어 외부로 출력되고, 나머지 절반은 클록 신호의 하강/상승 에지에 동기되어 외부로 출력될 것이다.

<52> X36 SDR 읽기 동작은 모드 선택 신호들 (DR3618, DR1809)을 로직 하이 레벨로 그리고 모드 선택 신호 (DR7236)를 로직 로우 레벨로 설정함으로써 수행될 것이다. 이러한 조건에서, 어드레스 신호 (A1)가 로직 로우 레벨이면, 인에이블 신호들 (EN2, EN3, EN6, EN7)이 활성화된다. 매트들 (MAT1, MAT3, MAT5, MAT7) 각각의 선택된 메모리 블록의 감지 증폭기들이 모두 활성화되어 매트들 (MAT1, MAT3, MAT5, MAT7)에서 각각 8-비트 데이터가 출력된다. 이와 동시에, 매트 (MAT4)의 선택된 메모리 블록의 감지 증폭기들 중 4개의 감지 증폭기들이 활성화되어 매트 (MAT4)에서 4-비트 데이터가 출력된다. 즉, 데이터 라인 멀티플렉싱 방식을 사용하지 않고 36-비트 데이터가 매트들 (MAT1, MAT3, MAT4, MAT5, MAT7)에서 출력된다. 그렇게 읽혀진 32-비트 데이터는 SDR 모드에서 한번에 외부로 출력될 것이다. DDR 모드에서, 그렇게 읽혀진 32-비트 데이터 중 절반은 클록 신호의 상승/하강 에지에 동기되어 외부로 출력되고, 나머지 절반은 클록 신호의 하강/상승 에지에 동기되어 외부로 출력될 것이다. 어드레스 신호 (A1)가 로직 하이 레벨인 경우, 인에이블 신호들 (EN0, EN1, EN4, EN5)이 활성화된다. 앞서 설명된 것과 동일한 방식에 따라, 매트들 (MAT0, MAT2, MAT6, MAT8)에서는 각각 8-비트 데이터가 출력되고 매트 (MAT4)에서는 4-비트 데이터가 출력된다.

<53> 모드 선택 신호들 (DR7236, DR3618)를 로직 로우 레벨로 그리고 모드 선택 신호 (DR1809)를 로직 하이 레벨로 설정함으로써 X18 SDR 읽기 동작이 수행될 것이다. 이러한

경우, 앞서 설명된 바와 같이, 어드레스 (A3A2A1)에 따라 2개의 인에이블 신호들이 활성화된다. 예를 들면, 어드레스 신호들 (A2, A1)이 모두 로직 로우 레벨일 때, 인에이블 신호들 (EN3, EN7)이 활성화된다. 이는 매트들 (MAT1, MAT3, MAT5, MAT7) 각각에서 4-비트 데이터가 출력되게 그리고 매트 (MAT4)에서 2-비트 데이터가 출력되게 한다. 즉, 데이터 라인 멀티플렉싱 방식을 사용하지 않고 18-비트 데이터가 매트들 (MAT1, MAT3, MAT4, MAT5, MAT7)에서 출력된다. 그렇게 읽혀진 18-비트 데이터는 SDR 모드에서 한번에 외부로 출력될 것이다. DDR 모드에서, 그렇게 읽혀진 18-비트 데이터 중 절반은 클록 신호의 상승/하강 에지에 동기되어 외부로 출력되고, 나머지 절반은 클록 신호의 하강/상승 에지에 동기되어 외부로 출력될 것이다. 어드레스 신호들 (A2A1)의 다른 조합의 경우, 18-비트 데이터가 앞서 설명된 것과 동일한 방식으로 5개의 매트들에서 읽혀질 것이다. 그러므로, 그것에 대한 설명은 여기서 생략된다.

<54> 모드 선택 신호들 (DR7236, DR3618, DR1809)이 모두 로직 로우 레벨로 설정되면, X9 SDR 읽기 동작이 수행될 것이다. 어드레스 (A3A2A1)가 "000"이면, 인에이블 신호 (EN7)이 활성화된다. 이는 매트들 (MAT3, MAT5)에서 각각 4-비트 데이터가 출력되게 하고 매트 (MAT4)에서 1-비트 데이터가 출력되게 한다. 즉, 멀티플렉싱 방식을 사용하지 않고 9-비트 데이터를 매트들로부터 읽을 수 있다. 어드레스 신호들 (A3A2A1)의 다른 조합의 경우, 9-비트 데이터가 앞서 설명된 것과 동일한 방식으로 3개의 매트들에서 읽혀질 것이다. 그러므로, 그것에 대한 설명은 여기서 생략된다.

<55> 도 11은 본 발명에 따른 반도체 메모리 장치의 주변 회로 및 리던던시 회로의 레이아웃 구조를 보여주는 블록도이다. 도 11을 참조하면, 본 발명에 따른 반도체 메모리 장치는 2열의 매트들 (MAT1, MAT4, MAT7)이 이등분되고, 이등분된 매트들 사이에 주변 회

로 및 리턴던시 회로가 배열되는 어레이 구조를 갖는다. 데이터 입출력 패드들, 어드레스 및 제어 패드들, 데이터 입출력 회로들은 반도체 메모리 장치 즉, 칩의 에지 영역을 따라 배치된다.

<56>       이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<57>       상술한 바와 같이, 본 발명에 따른 반도체 메모리 장치는 메모리 블록 단위로 액세스 동작을 수행하는 방식 대신에 메모리 블록 세그먼트 단위로 액세스 동작을 수행하는 방식을 채용한다. 이는 데이터 라인 멀티플렉싱 방식을 사용함 없이 데이터 입출력 구조에 대응하는 데이터가 읽혀지게 한다. 이에 따라, 따라서, 데이터 라인 멀티플렉싱 방식에 따라 야기되는 문제점들 즉, 데이터 입출력 구조에 따라 반도체 메모리 장치의 동작 특성이 변화하는 것, 데이터 라인 멀티플렉싱 구조로 인한 전류 소모 및 동작 속도 저하, 등등을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

9의 배수가 되는 데이터 입출력 구조를 가지는 반도체 메모리 장치에 있어서:

3 개의 행들과 3개의 열들의 매트릭스 형태로 배열된 9개의 매트들과;

상기 매트들 각각은 복수 개의 메모리 블록 세그먼트들을 각각 포함하는 복수 개의 메모리 블록들을 가지며; 그리고

상기 매트들로/로부터 입/출력되는 데이터의 비트 수가 상기 반도체 메모리 장치의 데이터 입출력 구조에 따라 가변되도록 상기 매트들을 제어하는 제어 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 반도체 메모리 장치는 X9의 데이터 입/출력 구조를 구성하며, 상기 매트들 각에서 하나의 데이터가 입/출력되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제 1 항에 있어서,

상기 제어 회로는 상기 매트들 중 중앙에 위치한 매트로/로부터 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터가 입/출력되도록, 상기 데이터 입출력 구조에 따라 상기 중앙에 위치한 매트를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 4】**

제 3 항에 있어서,

상기 제어 회로는 나머지 매트들로/로부터 4-비트 또는 8-비트 데이터가 입/출력되도록, 상기 데이터 입출력 구조에 따라 상기 나머지 매트들을 제어하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제 1 항에 있어서,

두 번째 열의 매트들은 각각 2등분되며, 상기 2등분된 매트들 사이에는 상기 제어 회로가 배치되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

제 5 항에 있어서,

상기 2등분된 매트들 사이에는 상기 메모리 셀 어레이에서 생기는 결함 셀(들)을 대체하기 위한 리던던시 회로가 배치되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 7】**

9의 배수가 되는 데이터 입출력 구조를 갖는 반도체 메모리 장치에 있어서:

3 개의 행들과 3개의 열들의 매트릭스 형태로 배열된 9개의 매트들과; 그리고

상기 데이터 입출력 구조에 따라 상기 매트들로부터 각각 출력되는 데이터의 비트 수가 가변되도록 상기 매트들을 제어하는 제어 회로를 포함하며,

상기 각 매트는

행들과 열들의 매트릭스 형태로 배열된 복수 개의 메모리 셀들을 갖는 적어도 하나의 메모리 블록과;

상기 메모리 블록은 열을 기준으로 8개의 메모리 블록 세그먼트들로 구분되며;



상기 메모리 블록의 행들 중 적어도 하나를 선택하는 행 선택 회로와;

상기 메모리 블록 세그먼트들 각각의 열들 중 하나를 선택하는 열 선택 회로와; 그리고

상기 메모리 블록 세그먼트들에 각각 대응하며, 상기 선택된 열들을 통해 상기 메모리 블록으로부터 데이터를 읽는 감지 증폭기들로 구성되며,

상기 제어 회로는 상기 매트들로부터 각각 출력되는 데이터의 비트 수가 상기 데이터 입출력 구조에 따라 가변되도록 상기 매트들 각각의 감지 증폭기들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 8】

제 7 항에 있어서,

상기 제어 회로는 상기 매트들 중 중앙에 위치한 매트로부터 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터가 출력되도록, 상기 데이터 입출력 구조에 따라 상기 중앙에 위치한 매트와 감지 증폭기들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 9】

제 8 항에 있어서,

상기 제어 회로는 나머지 매트들로부터 4-비트 또는 8-비트 데이터가 출력되도록, 상기 데이터 입출력 구조에 따라 상기 나머지 매트들 각각의 감지 증폭기들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 10】**

제 7 항에 있어서,

두 번째 열의 매트들은 각각 2등분되며, 상기 2등분된 매트들 사이에는 상기 제어 회로가 배치되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 11】**

제 10 항에 있어서,

상기 2등분된 매트들 사이에는 상기 메모리 셀 어레이에서 생기는 결함 셀(들)을 대체하기 위한 리던던시 회로가 배치되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 12】**

제 7 항에 있어서,

상기 각 매트의 메모리 블록은 상기 메모리 블록 세그먼트들에 각각 대응하는 기입 드라이버들을 더 포함하며, 상기 기입 드라이버들은 대응하는 메모리 블록에 데이터를 기입하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 13】**

제 12 항에 있어서,

상기 제어 회로는 상기 매트들 중 중앙에 위치한 매트로 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터가 입력되도록, 상기 데이터 입출력 구조에 따라 상기 중앙에 위치한 매트의 기입 드라이버들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 14】**

제 13 항에 있어서,

상기 제어 회로는 나머지 매트들로 4-비트 또는 8-비트 데이터가 입력되도록, 상기 데이터 입출력 구조에 따라 상기 나머지 매트들 각각의 기입 드라이버들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 15】

9의 배수가 되는 데이터 입출력 구조를 갖는 반도체 메모리 장치에 있어서:

3 개의 행들과 3개의 열들의 매트릭스 형태로 배열된 9개의 매트들과; 그리고

상기 매트들 각각은 각각이 행들과 열들의 매트릭스 형태로 배열된 메모리 셀들을 갖는 복수 개의 메모리 블록들과;

상기 메모리 블록들 각각은 복수 개의 메모리 블록 세그먼트들로 구분되며;

상기 메모리 블록들에 각각 대응하며, 각각이 대응하는 메모리 블록의 행들을 제어하는 복수 개의 행 선택기들과;

상기 메모리 블록들에 각각 대응하며, 각각이 대응하는 메모리 블록의 열들을 제어하는 복수 개의 열 선택기들과;

상기 메모리 블록들 각각의 메모리 블록 세그먼트들에 각각 대응하며, 상기 메모리 블록들 각각의 대응하는 메모리 블록 세그먼트들로부터 데이터를 각각 감지하는 복수 개의 감지 증폭기들과;

상기 메모리 블록들 각각의 메모리 블록 세그먼트들에 각각 대응하며, 상기 메모리 블록들 각각의 대응하는 메모리 블록 세그먼트들로 데이터를 각각 기입하는 복수 개의 기입 드라이버들과; 그리고

상기 메모리 블록들 각각의 감지 증폭기들 및 기입 드라이버들에 전기적으로 연결되는 데이터 버스로 구성되며,

상기 데이터 입출력 구조에 따라 상기 매트들로부터 각각 입/출력되는 데이터의 비트 수가 가변되도록, 상기 각 매트와 메모리 블록들의 감지 증폭기들/기입 드라이버들의 활성화를 제어하는 제어 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제 15 항에 있어서,

상기 제어 회로는 상기 매트들 중 중앙에 위치한 매트가 1-비트, 2-비트, 4-비트, 또는 8-비트 데이터를 입/출력하도록, 상기 데이터 입출력 구조에 따라 상기 중앙에 위치한 매트와 메모리 블록들의 감지 증폭기들/기입 드라이버들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제 16 항에 있어서,

상기 제어 회로는 나머지 매트들 각각이 4-비트 또는 8-비트 데이터를 입/출력하도록, 상기 데이터 입출력 구조에 따라 상기 나머지 매트들 각각의 메모리 블록들의 감지 증폭기들/기입 드라이버들의 활성화를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

제 15 항에 있어서,

두 번째 열의 매트들은 각각 2등분되며, 상기 2등분된 매트들 사이에는 상기 제어 회로가 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 19】

제 18 항에 있어서,

상기 2등분된 매트들 사이에는 상기 메모리 셀 어레이에서 생기는 결함 셀(들)을 대체하기 위한 리던던시 회로가 배치되는 것을 특징으로 하는 반도체 메모리 장치.

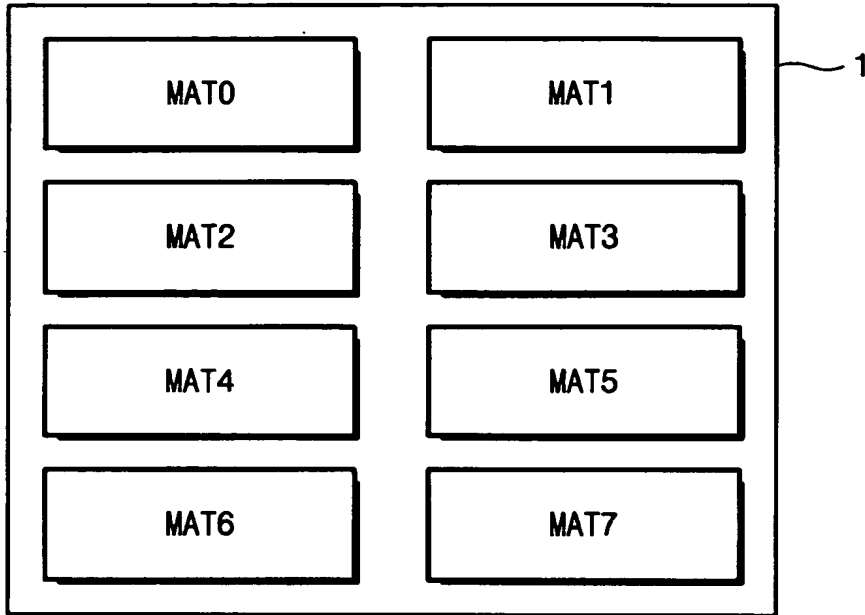
【청구항 20】

제 15 항에 있어서,

상기 반도체 메모리 장치는 X9의 데이터 입/출력 구조를 구성하며, 상기 매트들 각 각에서 하나의 데이터가 입/출력되는 것을 특징으로 하는 반도체 메모리 장치.

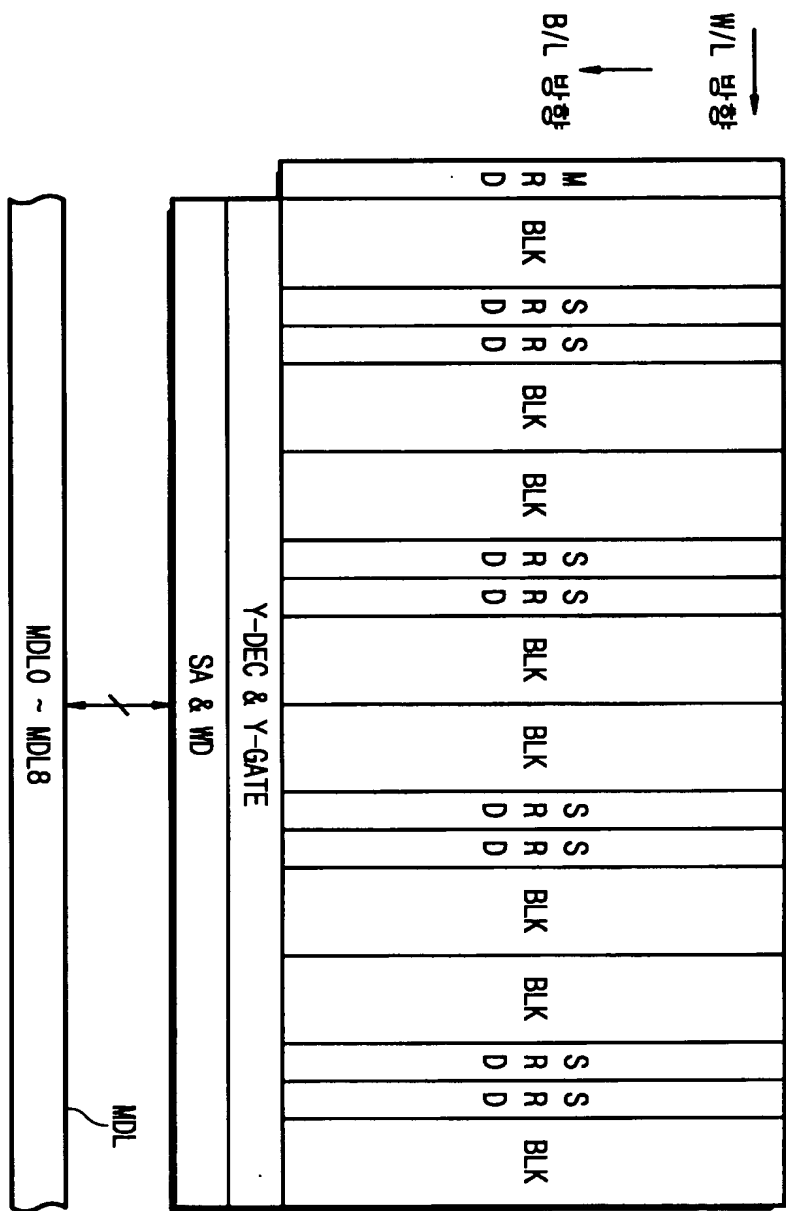
【도면】

【도 1】



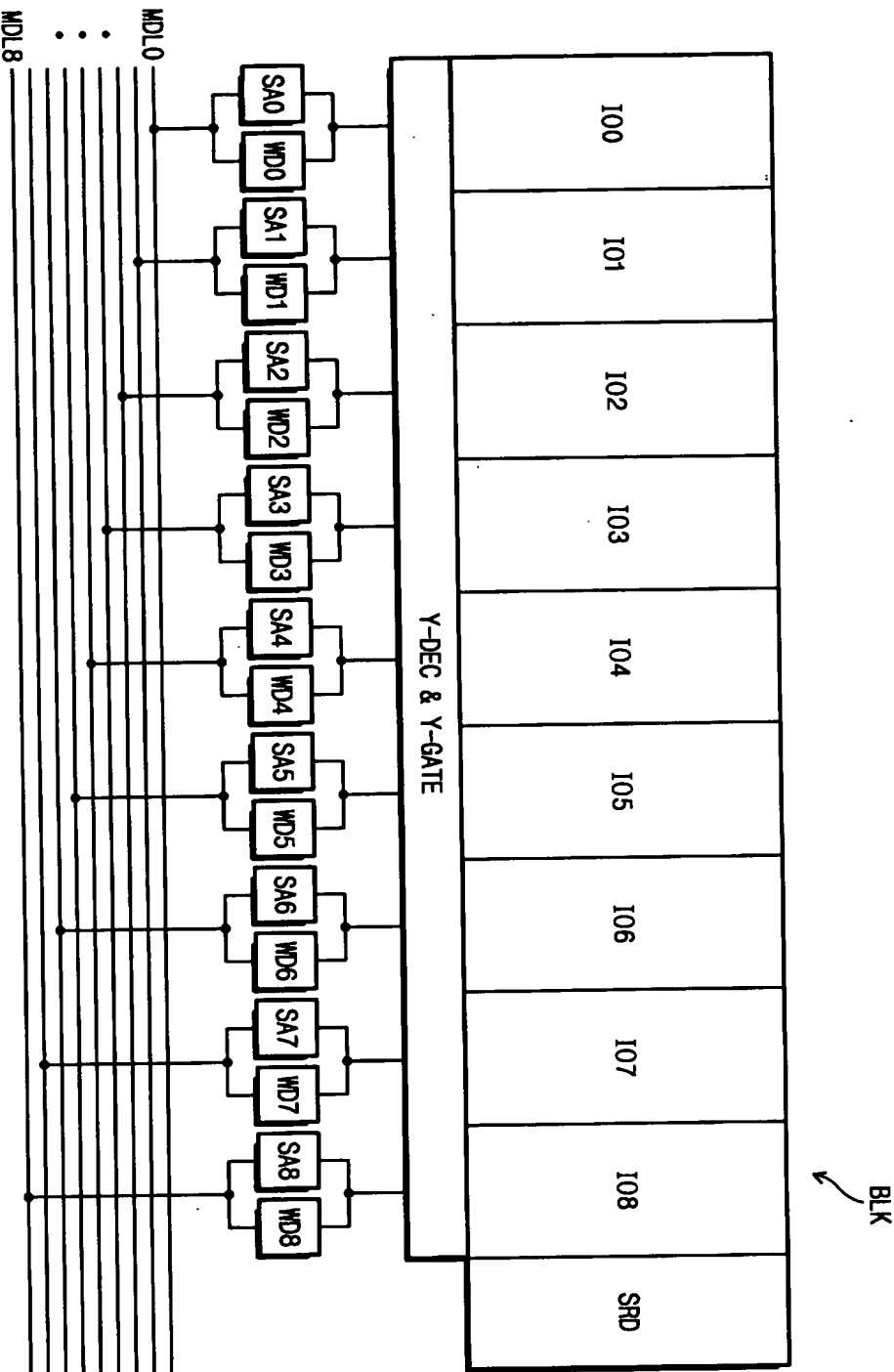


【도 2】



MATO

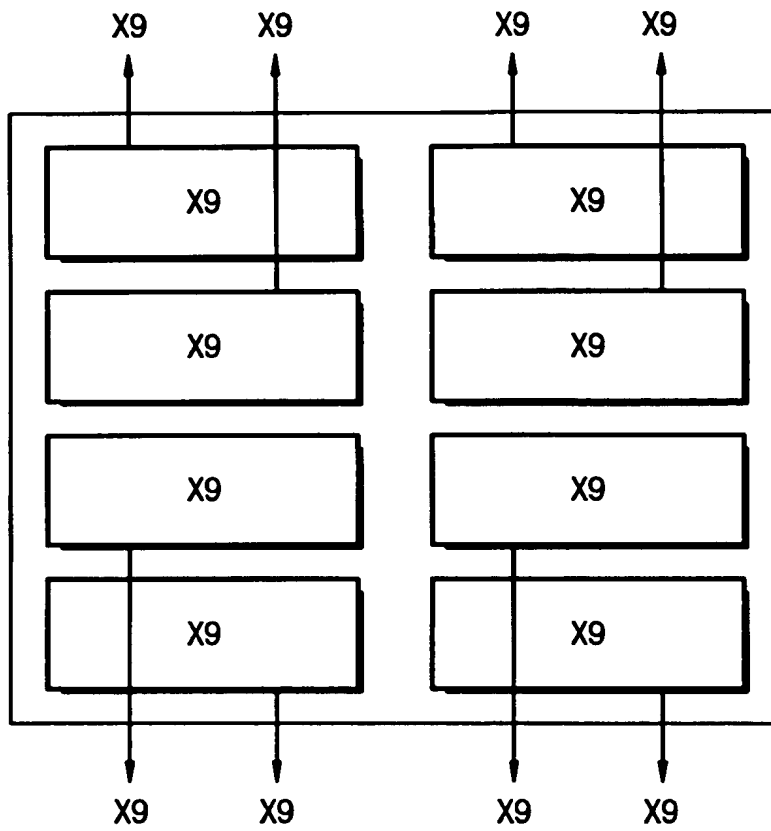
【도 3】



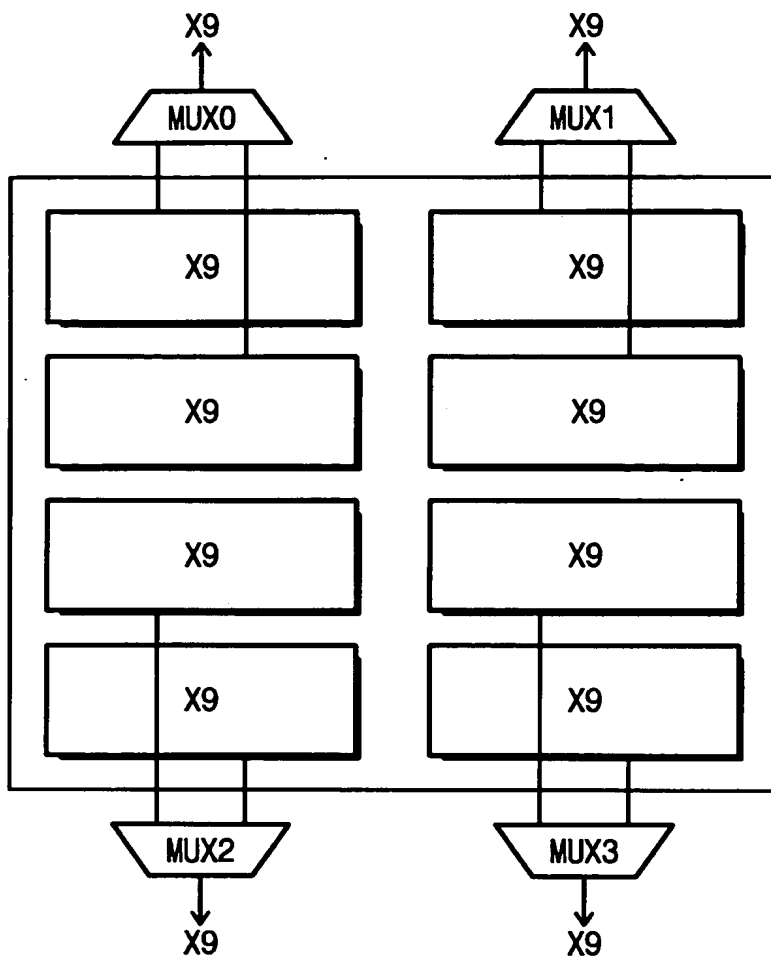




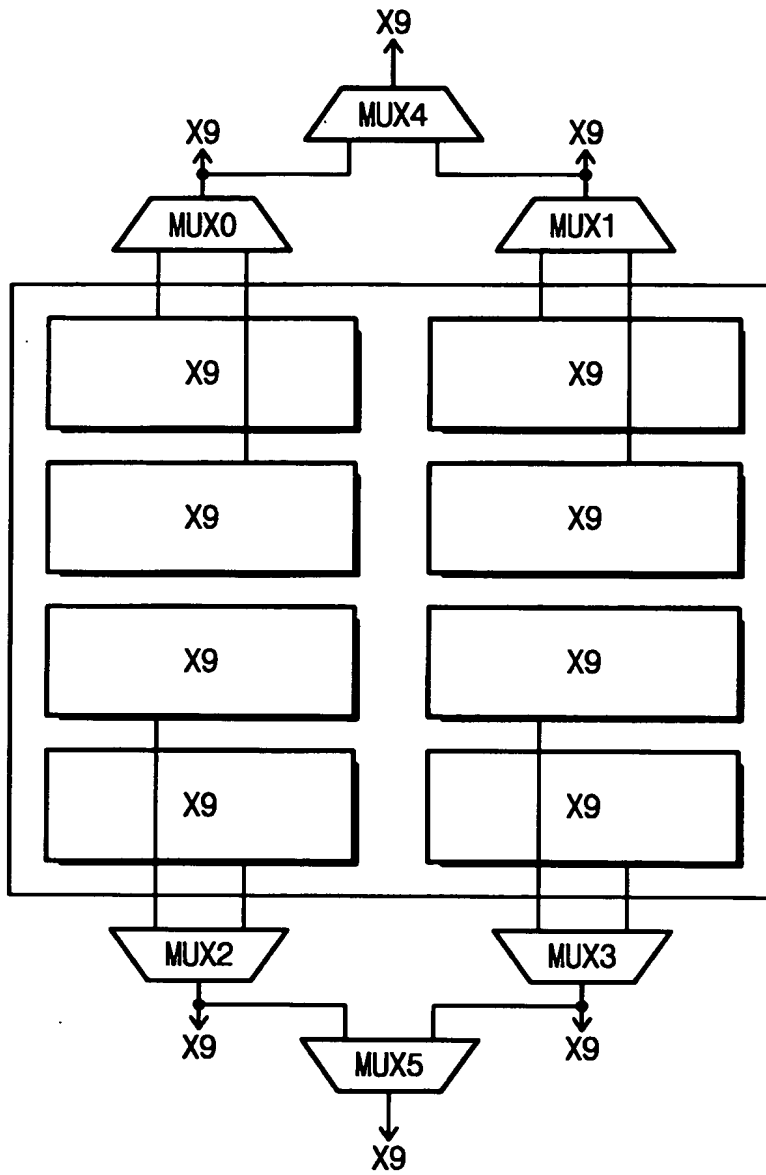
【도 4a】



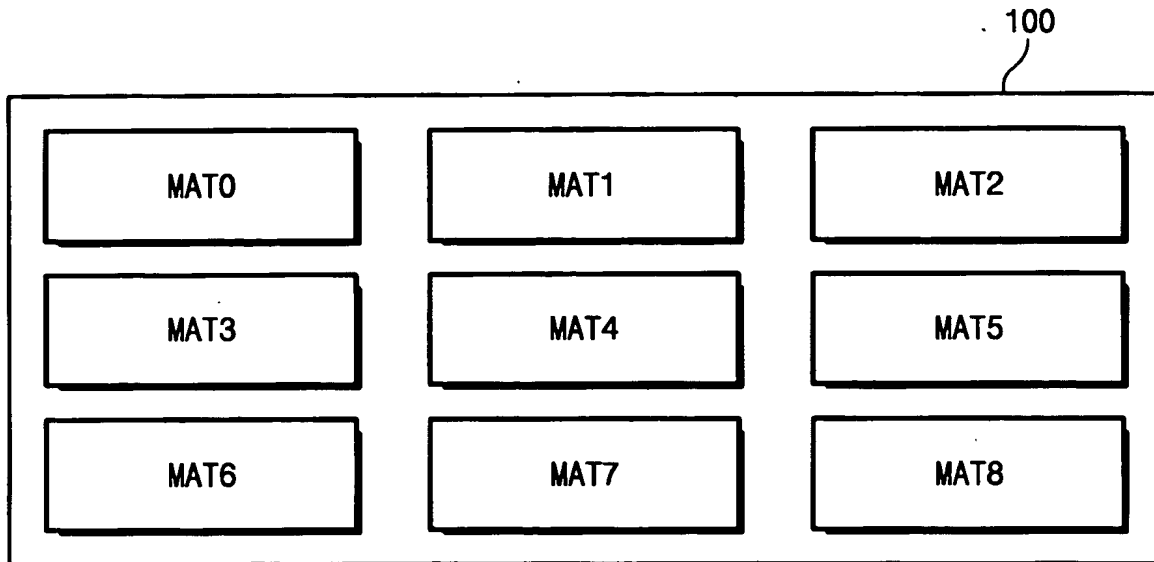
【도 4b】



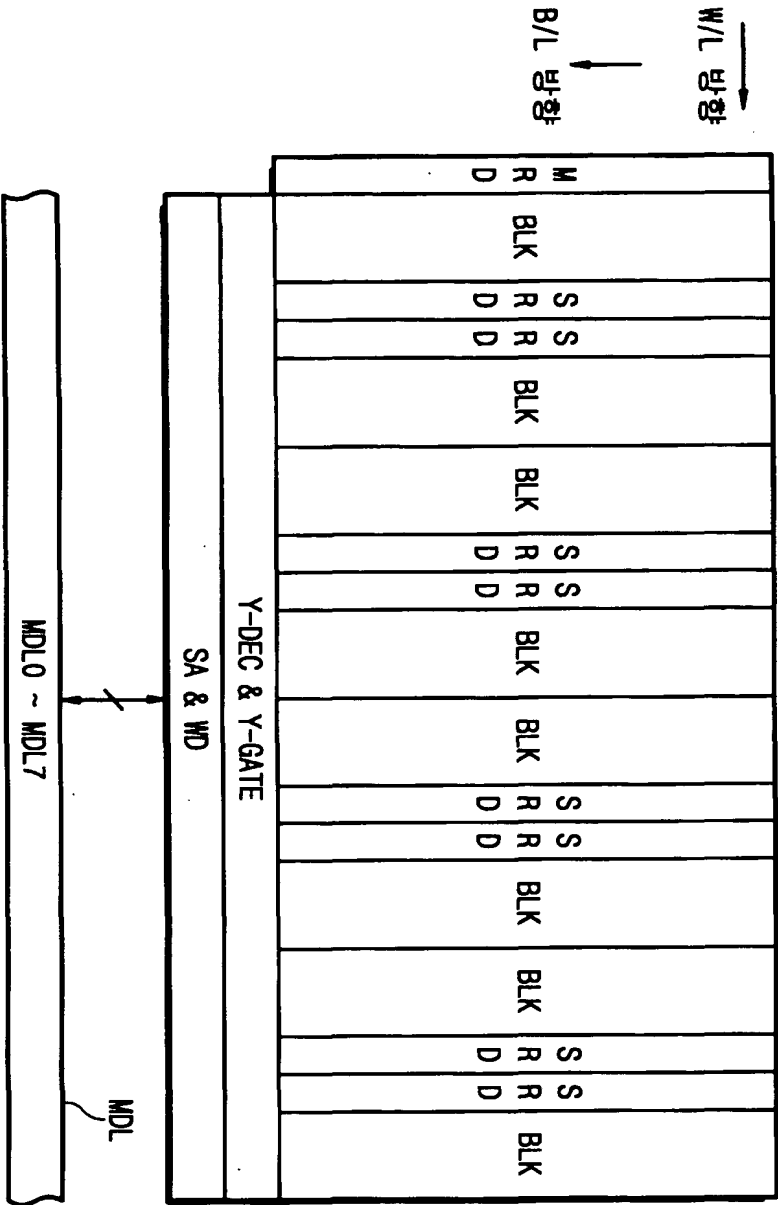
【도 4c】



【도 5】

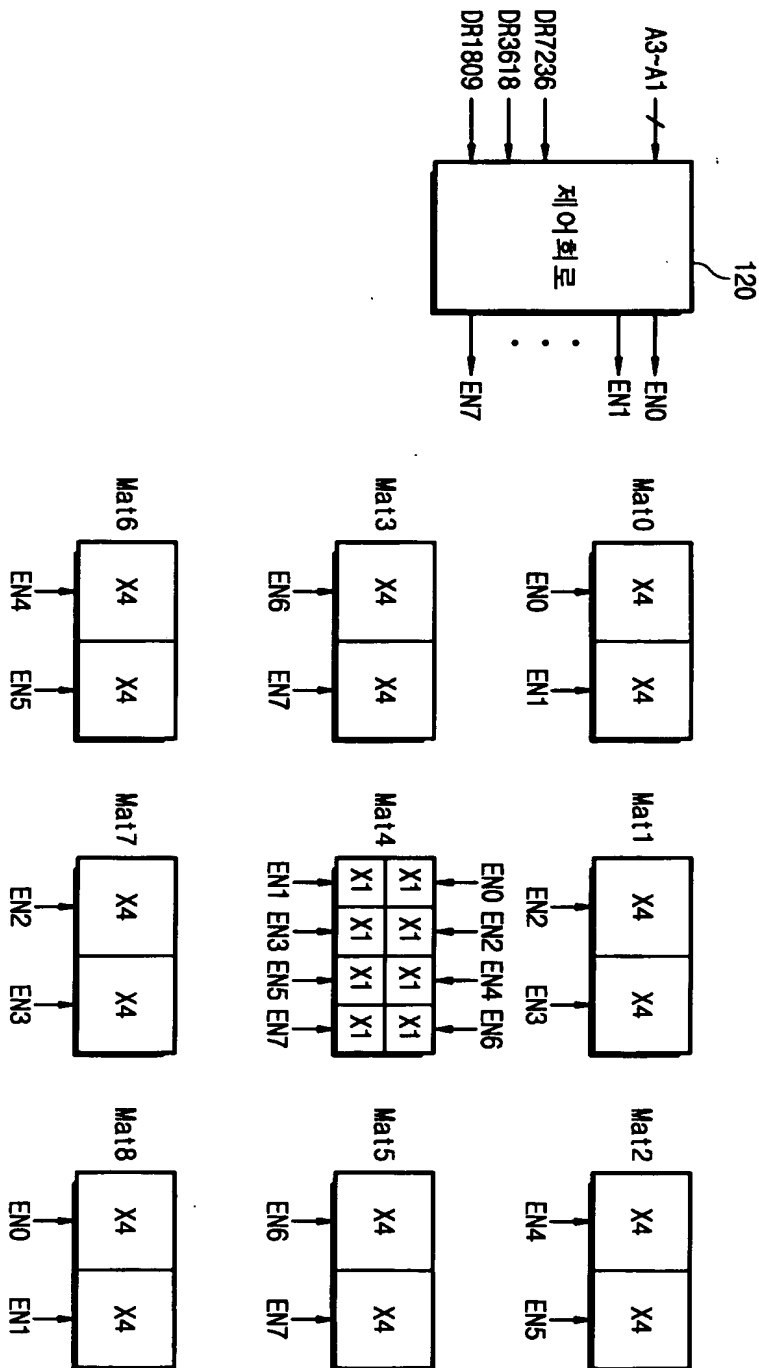


【도 6】



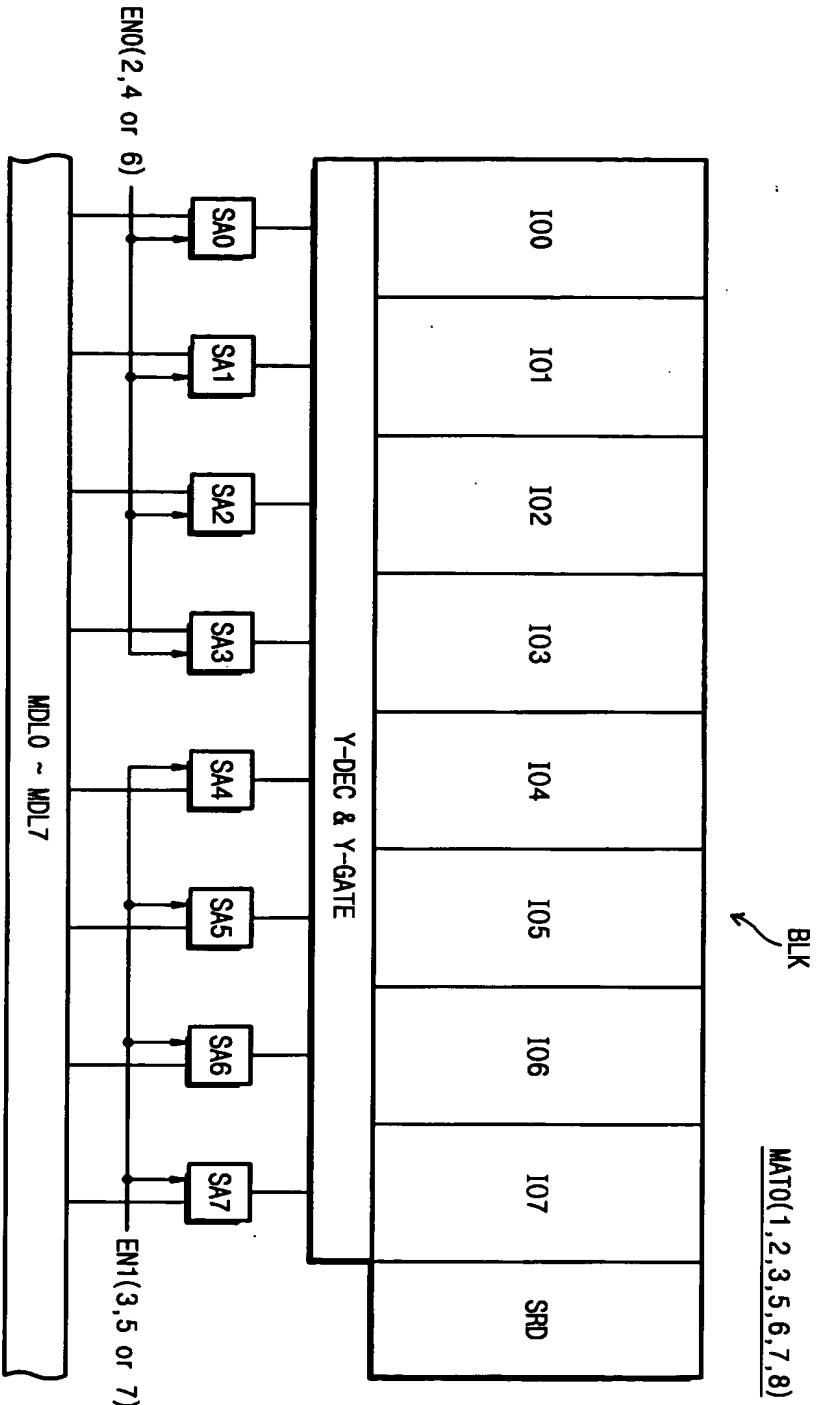
MATO

【도 7】

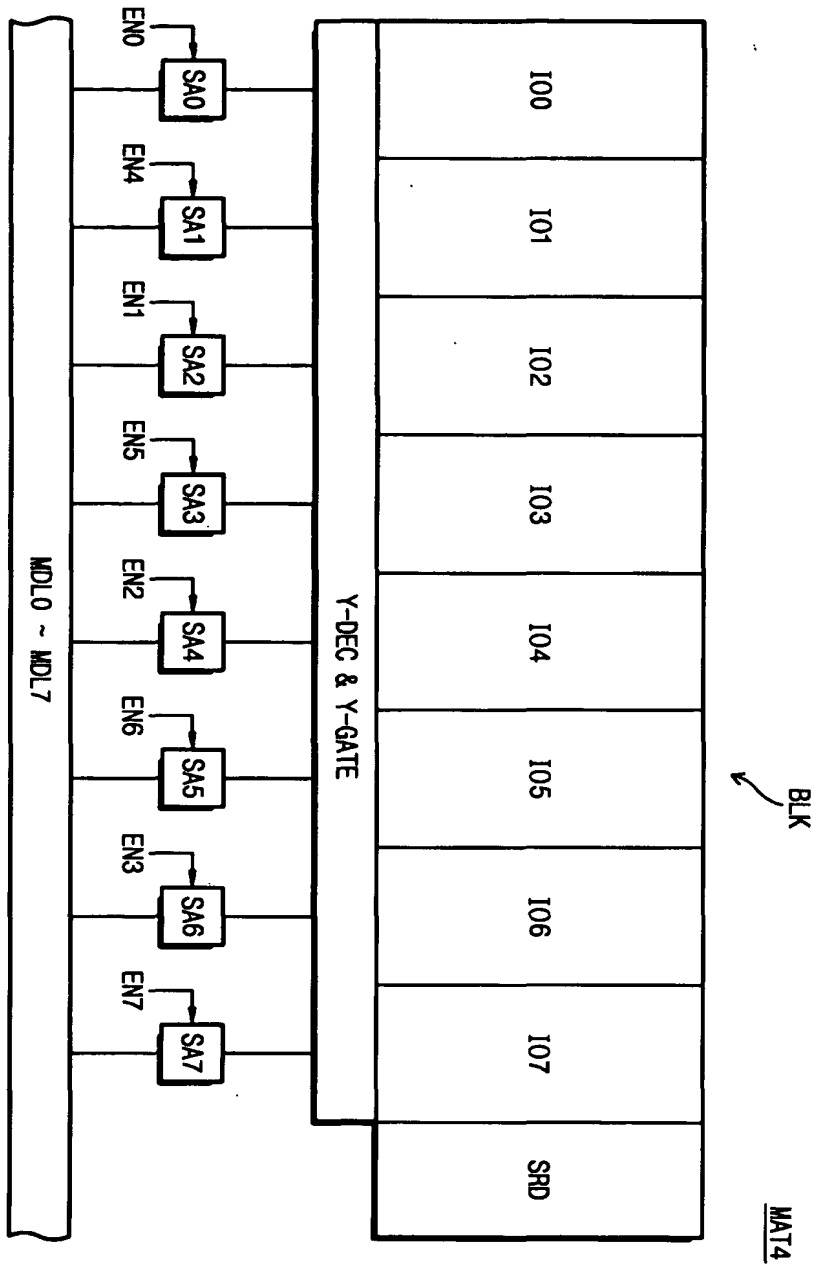




【도 8】

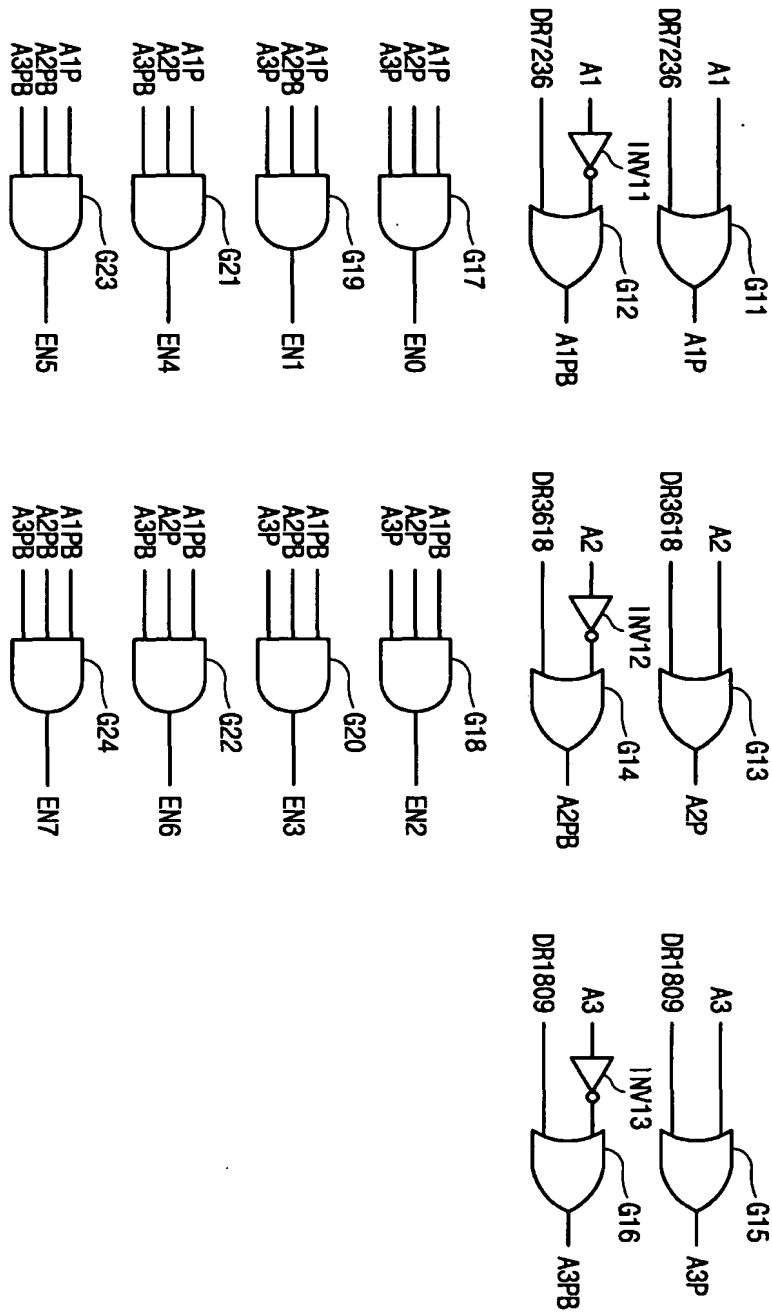


【도 9】





【도 10】



【도 11】

